

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **11-204565**

(43)Date of publication of application : **30.07.1999**

(51)Int.Cl.

H01L 21/60

H01L 23/12

H05K 1/18

(21)Application number : **10-006967**

(71)Applicant : **TOSHIBA CORP**

(22)Date of filing : **16.01.1998**

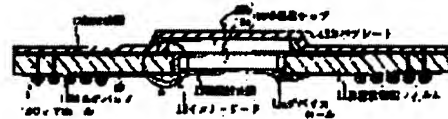
(72)Inventor : **HOSOKAWA TAKAHARU**

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having a wide area enabling a wiring, where semiconductor elements are mounted and packaged at high density and deformations such as warpage is suppressed.

SOLUTION: A semiconductor device has Cu wiring layers 23 on both surfaces of an insulative resin film 11 having the same thickness as a semiconductor chip, and inner lead groups 13 are disposed on the lower surface. Via holes 14 conductive with the wiring layers 12 on both surfaces are provided at specified positions, solder bumps 18 are arranged grid-like on the lower face wiring layer 12. Two upper and lower stages of semiconductor chips 16b, 16a are mounted, the lower stage of the chip is fit in device holes 11a and inner-lead bonding(ILB), the upper stage of the chip is flip-chip connected to the upper surface wiring layer 12. A resin encapsulation layer 17 covers these bonded parts and is integrated with a Cu cover plate 19 thereon.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-204565

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl.⁸

H 0 1 L 21/60

識別記号

3 1 1

F I

H 0 1 L 21/60

3 1 1 R

3 1 1 W

23/12

H 0 5 K 1/18

S

H 0 5 K 1/18

H 0 1 L 23/12

L

審査請求 未請求 請求項の数 6 O L (全 7 頁)

(21) 出願番号

特願平10-6967

(22) 出願日

平成10年(1998) 1月16日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 細川 隆治

神奈川県川崎市幸区小向東芝町1 株式会

社東芝多摩川工場内

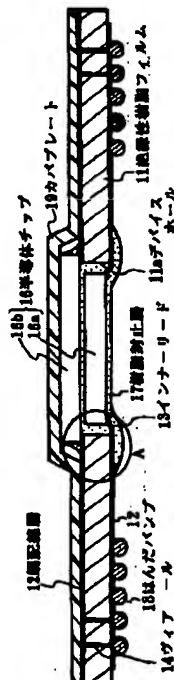
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 配線可能エリアが広く複数の半導体素子が高密度に搭載・実装され、反り等の変形が抑えられた半導体装置を提供する。

【解決手段】 本発明の半導体装置では、半導体チップと同程度の厚さの絶縁性樹脂フィルム11の両面にそれぞれ銅配線層12が形成され、下面においてインナーリード13群が配設されている。また、所定の位置に両面の銅配線層12を導通するビアホール14が設けられ、下面の銅配線層12上には、はんだバンプ18が格子状に配列されて設けられている。そして、上下2段の半導体チップ16b、16aが搭載され、下段のチップはデバイスホール11a内に嵌め込まれてILBされ、上段のチップは上面の銅配線層12にフリップチップ接続されている。さらに、これらの接合部等を覆って樹脂封止層17が設けられ、さらにその上に金属製のカバープレート19が一体的に配設されている。



【特許請求の範囲】

【請求項1】 デバイスホールを有する板状またはシート状の絶縁基材と、この絶縁基材の両面にそれぞれ配設された配線層と、厚さ方向に絶縁層を介し重ねて配設され、各電極端子が前記絶縁基材の異なる面の配線層にそれぞれ接続された複数の半導体素子と、外側に配置された絶縁基材の外層配線層の端部に設けられた複数の外部接続端子とを備えており、前記絶縁基材が、前記半導体素子のうちでフェースダウンに配置された少なくとも1個の半導体素子の厚さと等しいか、あるいはそれ以上の厚さを有し、かつこのフェースダウンに配置された半導体素子が、前記デバイスホール内に嵌め込まれていることを特徴とする。

【請求項2】 前記絶縁基材が、ポリイミド樹脂フィルムであることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記絶縁基材が、ガラスクロス樹脂含浸基板であることを特徴とする請求項1記載の半導体装置。

【請求項4】 前記絶縁基材の両面の配線層が、ビアホールを介して導通されていることを特徴とする請求項1乃至3のいずれか1項記載の半導体装置。

【請求項5】 前記絶縁基材の片面側において、一端が配線層に接続され他端が前記デバイスホールに突出したインナーリード群が形成されており、これらのインナーリードの先端部に、前記フェースダウンに配置された半導体素子の電極が電気的に接続されていることを特徴とする請求項1乃至4のいずれか1項記載の半導体装置。

【請求項6】 前記外部接続端子が、Pb/Sn系のはんだを主成分とするボール状の bumps であり、これらが格子状に配設されていることを特徴とする請求項1乃至5のいずれか1項記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係わり、特に複数の半導体素子が多積層で高密度実装された樹脂封止型の半導体装置に関する。

【0002】

【従来の技術】従来から、コストの低減と構成の簡略化等を目的として、フィルムキャリアテープに半導体素子を搭載し実装したTCP（テープキャリアパッケージ）と呼ばれる半導体装置が知られており、フィルムキャリアテープとしては、絶縁樹脂フィルムの片面にのみ銅箔等の配線パターンが設けられた1層配線テープが使用されている。そしてこのようなTCPでは、接続端子数の増加、外形の小型化、実装の容易性等の観点から、外部接続端子として、はんだ等のボールを格子（アレイ）状に配列したボールグリッドアレイ（以下、BGAと示す。）と呼ばれる構造が採られている。

【0003】従来からのテープキャリアタイプのBGA（T-BGA）型半導体装置の構造の一例を、図7とそ

のD部を拡大した図8にそれぞれ示す。

【0004】図において、符号1は、デバイスホール1aを有する絶縁性樹脂フィルム（例えばポリイミド樹脂フィルム）、符号2は、この絶縁性樹脂フィルム1の片面（図では下面）に配設された銅箔等の配線層、符号3は、この配線層2に一端が接続され、他端がデバイスホール1aに突出するように配設されたインナーリード、符号4は、フェースダウンに配置され、各電極端子が対応するインナーリード3の先端部に電気的に接続（インナーリードボンディング）された半導体チップ、符号5は、この半導体チップ4とインナーリード3およびそれらの接合部を被覆し封止する樹脂封止層をそれぞれ示している。また符号6は、配線層2の他端側のパッド上に設けられたはんだ等の bumps、符号7は、配線間の短絡防止とはんだ等の bumps 6形成のために、配線層2上に被覆されたソルダーレジスト層、符号8は、絶縁性樹脂フィルム1の他主面（図では上面）上に接着剤層9を介して接合された金属製のスティフナー（形状保持板）、符号10は、半導体チップ4の他主面側およびスティフナー8の他主面側に一体的に配設され、接着剤層（図示を省略。）を介して接合された銅製のカバープレート（図示を省略）を介して接合された銅製のカバープレートをそれぞれ示している。

【0005】

【発明が解決しようとする課題】しかしながら、このような半導体装置においては、以下に示す問題があった。すなわち、絶縁性樹脂フィルム1の片面にのみ銅箔等の配線層2が設けられた1層配線テープが使用されており、配線層2が形成されているエリアが狭いため、はんだ等の bumps 6が接続される配線パッド数の増加やパッドピッチの縮小化の傾向に、十分に対応することができなかった。

【0006】また、絶縁基材として、薄い（通常、厚さ50～125 μm ）絶縁性樹脂フィルム1が使用されているばかりでなく、柔軟性に乏しいソルダーレジスト層7が配線層2上に設けられているため、装置全体に反りが生じやすかった。したがって、金属製のスティフナー8を接合して、補強および形状保持を図っているが、構造が複雑となりコストがかかるという問題があった。

【0007】本発明は、これらの問題を解決するためになされたもので、配線可能エリアが広くパッド数の増加等に対応することができるように、複数の半導体素子が高密度に搭載・実装され、反り等の変形が抑えられた半導体装置を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明の半導体装置は、デバイスホールを有する板状またはシート状の絶縁基材と、この絶縁基材の両面にそれぞれ配設された配線層と、厚さ方向に絶縁層を介し重ねて配設され、各電極端子が前記絶縁基材の異なる面の配線層にそれぞれ接続された複数の半導体素子と、外側に配置された絶縁基材

の外層配線層の端部に設けられた複数の外部接続端子とを備えており、前記絶縁基材が、前記半導体素子のうちでフェースダウンに配置された少なくとも1個の半導体素子の厚さと等しいか、あるいはそれ以上の厚さを有し、かつこのフェースダウンに配置された半導体素子が、前記デバイスホール内に嵌め込まれていることを特徴とする。

【0009】本発明において、デバイスホールを有する板状またはシート状の絶縁基材としては、例えばポリイミド樹脂フィルムのような絶縁性樹脂フィルムや、ガラスクロスにエポキシ系樹脂のような樹脂を含浸させたプリプレグを1層または積層して成形したガラスクロス-樹脂含浸基板等が挙げられる。このような絶縁基材の厚さは、フェースダウンに配置されてデバイスホール内に嵌め込まれる半導体素子の厚さと等しいか、あるいはそれ以上の厚さとし、200～500 μ mとすることが好ましい。また、これらの絶縁基材に設けられるデバイスホールの大きさおよび平面形状は、内部に嵌め込まれる半導体素子の大きさや平面形状に対応して設定される。

【0010】このような板状またはシート状の絶縁基材の両面にそれぞれ配設される配線層は、例えばCu、Cu系合金、42アロイのようなNi系合金等から構成され、これらの金属の絶縁基材面への蒸着パターンニング、または絶縁基材の両面に設けられたCu箔または前記合金箔をフォトエッチングすることにより形成される。また、これら両面の配線層は、ビアホールを介して導通することが望ましく、ビアホールの形成は、例えば、ドリルでのパンチング（打ち抜き）等により絶縁基材を貫通する孔を形成した後、孔の内壁面に銅や錫等のめっきを施すことにより行なわれる。

【0011】さらに本発明では、絶縁基材の片面側において、一端が配線層に接続され他端がデバイスホールに突出したインナーリード群を設けることができるが、このようなインナーリード群の形成も、前記した配線層と同様に行なうことができる。

【0012】本発明において、外部接続端子としては、例えばPb/Sn系のはんだ等のバンパが挙げられ、最外側に配置された絶縁基材の外層面に、格子状に配列して設けることが望ましい。はんだバンパの形成は、例えば、バンパを形成すべき基材上に所定の配列で形成された配線パッドに、印刷法等によりはんだフラックスを塗布し、その上に球状のはんだボールを載せてリフローすることにより行なわれる。

【0013】本発明の半導体装置では、通常より厚く構成された板状またはシート状の絶縁基材の両面に、それぞれ配線層が形成されているうえに、デバイスホール内に少なくとも1個の半導体素子が完全に嵌め込まれ、この半導体素子に重ねて第2の半導体素子が配置されているので、配線パッド数の増大やパッドピッチの縮小化に十分に対応することができ、複数の半導体素子が高密度

に実装された小型の半導体装置が得られる。

【0014】また、金属製等のスティフナーを設けなくとも、装置全体に反りが生じることがなく、構造を簡素化しコストの低減を図ることができる。

【0015】

【発明の実施の形態】以下、本発明の実施例を図面に基いて説明する。

【0016】図1は、本発明の半導体装置の第1の実施例を断面的に示したものであり、図2は図1のA部を拡大して示したものである。

【0017】これらの図において、符号11は、後述する半導体チップと同程度あるいはそれ以上の厚さ（約500 μ m）を有し、中央部にデバイスホール11aを有するポリイミド樹脂フィルムのような絶縁性樹脂フィルムを示し、この絶縁性樹脂フィルム11の両面には、それぞれ銅配線層12が銅箔のフォトエッチング等により形成されている。また、一方の主面（図では下面）においては、一端が銅配線層12に接続され他端（先端）がデバイスホール11aに突出したインナーリード13群が配設されている。ここで、これらのインナーリード13は、後述する半導体チップの電極端子との接続を容易にするために、ガルウィング形状にフォーミングされている。

【0018】また、絶縁性樹脂フィルム11の所定の位置には、それぞれビアホール14が設けられており、これらのビアホール14を介して両面の銅配線層12が導通されている。さらに、絶縁性樹脂フィルム11の下面の銅配線層12の上には、配線間の短絡防止等のために、ソルダーレジスト層15が形成されている。なお、ビアホール14のランド（ビアランド）や前記した銅配線層12のパッド表面およびインナーリード13の先端部には、接続を容易にするために、めっきや金めっきを施しておくことが望ましい。

【0019】そして、このような配線フィルムに、それぞれフェースダウンに配置された2個の半導体チップ16が、以下に示すように搭載され実装されている。すなわち、各辺がデバイスホール11aの対応する辺より小さく形成された下段の半導体チップ16aが、デバイスホール11a内に嵌め込まれており、この半導体チップ16aの各電極端子とインナーリード13とが、金等のバンパ13aを介して接続（インナーリードボンディング）されている。また、上段の半導体チップ16bは、各辺がデバイスホール11aの対応する辺より大きく形成されており、このような半導体チップ16bがデバイスホール11aの直上に配置され、各電極端子とフィルム上面の銅配線層12とが、はんだバンパ12aによりフリップチップ接続されている。そして、このように搭載・実装された上下2段の半導体チップ16b、16aの間には、適当な間隙が設けられている。なお、これらの半導体チップ16b、16aの対向する面（片方また

は両方の面)に、直接保護絶縁層を設けた場合には、半導体チップ間に適当な間隔をおくことなく、重ねて配置しても良い。

【0020】また、これら上段および下段の半導体チップ16b、16aの外側と、半導体チップとインナーリード13およびフィルム上面の銅配線層12との接合部の外側には、エポキシ樹脂等の樹脂封止層17が設けられている。この樹脂封止層17は、上下2段の半導体チップ16b、16aの間隙にも介挿され、十分な絶縁が保持されている。

【0021】さらに、フィルム下面の銅配線層12(ヴィアランドおよび配線パッド)上には、外部接続端子であるはんだバンパ18が格子状に配列されて設けられており、これらの一部は、絶縁性樹脂フィルム11に設けられたヴィアホール14を介して、フィルム上面の銅配線層12と電気的に接続されている。また、フィルム上面の銅配線層12および上段の半導体チップ16bの上には、銅製などの金属製のカバープレート19が一体的に配設され、接着剤層19aを介して接着されている。

【0022】このように構成される第1の実施例の半導体装置においては、絶縁性樹脂フィルム11の両面にそれぞれ銅配線層12が形成され、基材の片面から両面に拡大された配線エリアに、上下2段に重ねて配置された半導体チップ16b、16aが実装されているので、チップ数の増加によるバンパ接続用パッド数の増加やパッドピッチの縮小に対応し、半導体チップが高密度実装された半導体装置が得られる。

【0023】また、半導体チップと同程度あるいはそれ以上の厚さを有する絶縁性樹脂フィルム11が使用されているので、スティフナーを設けなくとも、装置全体に反りが生じることがなく、構造を簡素化しコストの低減を図ることができる。

【0024】さらに、2個の半導体素子チップが搭載されているが、上段の半導体チップ16bの上面に銅製等のカバープレート19が配設されているので、チップから発生する熱がカバープレート19を伝導して放出しやすく、良好な特性が発揮される。

【0025】次に、本発明の別の実施例を、図3乃至図6に基づいてそれぞれ説明する。なお、これらの図において、図1および図2と同一の部分には同一の符号を付して説明を省略する。

【0026】第2の実施例の半導体装置においては、図3および図4にそれぞれ示すように、絶縁性樹脂フィルム11のデバイスホール11a内に嵌め込まれ、フィルム下面のインナーリード13とインナーリードボンディングされた下段の半導体チップ16aの上に、ほぼ同サイズの半導体チップ16bがフェースアップされて搭載されており、絶縁性の接着ペースト20により接着されている。そして、この上段の半導体チップ16bも、デバイスホール11a内にほぼ埋め込まれており、その電

極端子とフィルム上面の銅配線層12とが、金線のようなボンディングワイヤ21により接続(ワイヤボンディング)されている。

【0027】このように構成される第2の実施例の半導体装置においては、第1の実施例と同様に、半導体チップが積層され高密度で実装されているうえに、装置に反りが生じることがないので、スティフナーを設ける必要がなく、構造が簡素化されている。また、上下2段に重ねられて配置された半導体チップ16b、16aが、いずれも絶縁性樹脂フィルム11のデバイスホール11a内にほぼ埋め込まれているので、より薄型でコンパクトな半導体装置が得られる。

【0028】なお、第1および第2の実施例では、絶縁基材としてポリイミド樹脂フィルム等の絶縁性樹脂フィルム11が使用されているが、絶縁性樹脂フィルム11の代わりに、ガラスクロスに樹脂を含浸させたプリプレグを積層して成形したガラスクロス樹脂含浸基板を使用することもできる。

【0029】第3の実施例の半導体装置においては、図5および図6にそれぞれ示すように、後述する半導体チップと同程度あるいはそれ以上の厚さ(約500 μ m)を有し、デバイスホール22aを有する第1のガラスクロス樹脂含浸基板(以下、単に絶縁基板と示す。)22と、デバイスホールのない第2の絶縁基板23とが、間に銅配線層(中間配線層)24を挟んで積層一体化されており、第1の絶縁基板22の上面および第2の絶縁基板23の下面にも、それぞれ外層配線層(上配線層25および下配線層26)が形成されている。そして、このような多層配線基板において、上配線層25と下配線層26との間を導通する複数のヴィアホール14a、および中間配線層24と下配線層26との間を導通する複数のヴィアホール14bがそれぞれ設けられている。また、第2の絶縁基板23の下面の下配線層26(ヴィアランドおよび配線パッド)上には、外部接続端子であるはんだバンパ18が格子状に配列されて設けられている。

【0030】そして、各辺が第1の絶縁基板22のデバイスホール22aの対応する辺より小さく形成された下段の半導体チップ16aが、フェースダウンに配置されてこのデバイスホール22a内に嵌め込まれており、その電極端子と中間配線層24とがはんだバンパ24aによりフリップチップ接続されている。また、このように実装された下段の半導体チップ16aの上方に、各辺がデバイスホール22aより大きく形成された上段の半導体チップ16bが、フェースダウンに配置されており、その電極端子と上配線層25とがはんだバンパ25aによりフリップチップ接続されている。さらに、第2の絶縁基板23の下方には、第3の半導体チップ27が配置されており、その電極端子と下配線層26とがはんだバンパ26aによりフリップチップ接続されている。な

お、その他の部分は、第1の実施例と同様に構成されているので、説明を省略する。

【0031】このように構成される第3の実施例では、第1の絶縁基板22の下に、デバイスホールのない第2の絶縁基板23が中間配線層24を挟んで積層されており、こうしてさらに拡大された配線エリアに、第3の半導体チップ27が実装されているので、半導体チップがより高密度に実装された半導体装置が得られる。また、装置に反りが生じることがないので、スティフナーを設ける必要がなく、構造を簡素化しコストの低減を図ることができる。なお、この実施例では、第1および第2の絶縁基材として、ガラスクロス樹脂含浸フィルム基板を使用したが、これらの片方または両方をポリイミド樹脂フィルムのような絶縁性樹脂フィルムに代えることも可能である。また、上下2段の半導体チップ16b、16aおよび第3の半導体チップ27の各実装において、電極端子と配線層とがそれぞれフリップチップ接続されているが、3個の半導体チップのうちの1個または2個以上を、ワイヤボンディングにより接続することもできる。

【0032】

【発明の効果】以上の説明から明らかなように、本発明においては、配線エリアが増大され、配線パッド数の増加等に十分対応することができ、複数の半導体素子が高密度に搭載・実装された半導体装置を得ることができる。また、反り等の変形が抑えられるので、スティフナーを設ける必要がなく、構造を簡素化しコストの低減を図ることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1の実施例を示す断面図。

【図2】図1におけるA部を拡大して示す図。

【図3】本発明の半導体装置の第2の実施例を示す断面図。

【図4】図3におけるB部を拡大して示す図。

【図5】本発明の半導体装置の第3の実施例を示す断面図。

【図6】図5におけるC部を拡大して示す図。

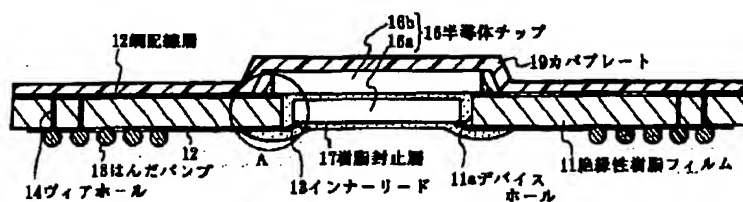
【図7】従来からのT-BGA型半導体装置の構造を示す断面図。

【図8】図7におけるD部を拡大して示す図。

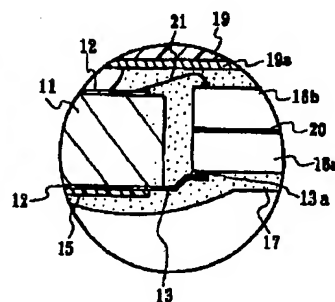
【符号の説明】

- 11……………絶縁性樹脂フィルム
- 11a……………デバイスホール
- 12……………銅配線層
- 13……………インナーリード
- 13a……………金等のバンパ
- 14……………ビアホール
- 15……………ソルダーレジスト層
- 16……………半導体チップ
- 17……………樹脂封止層
- 18……………はんだバンパ
- 19……………カバープレート
- 21……………ボンディングワイヤ
- 22……………第1の絶縁基板（ガラスクロス樹脂含浸基板）
- 23……………第2の絶縁基板
- 27……………第3の半導体チップ

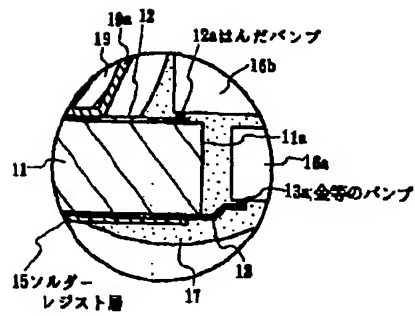
【図1】



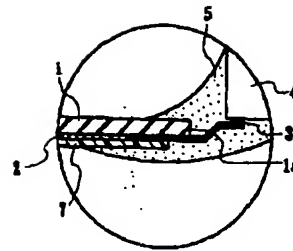
【図4】



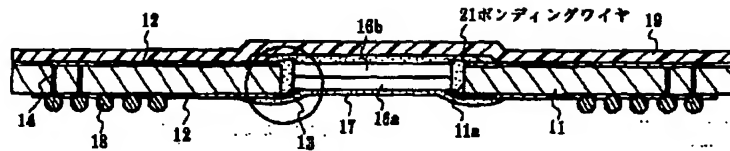
【図2】



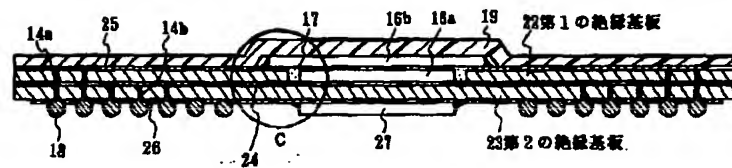
【図8】



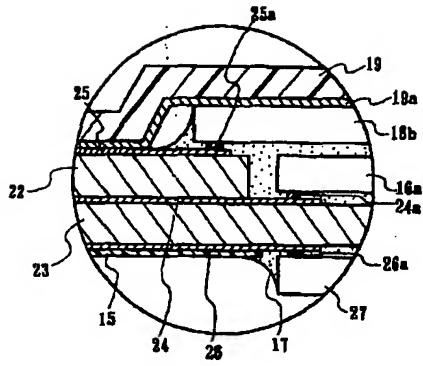
【図3】



【図5】



【図6】



【図7】

